

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-254777

(43) 公開日 平成4年(1992)9月10日

(51) Int.Cl.⁵
G 0 1 R 31/28
H 0 1 L 21/66
21/82

識別記号 庁内整理番号

Z 7013-4M

F I

技術表示箇所

6912-2G
7638-4M

G 0 1 R 31/28
H 0 1 L 21/82

v

P

審査請求 未請求 請求項の数 1 (全 5 頁) 最終頁に続く

(21)出願番号

特願平3-15064

(71)出願人 000232036

(22) 出願日

平成3年(1991)2月6日

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 大野 剛史
神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

(72) 発明者 東 洋二
神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

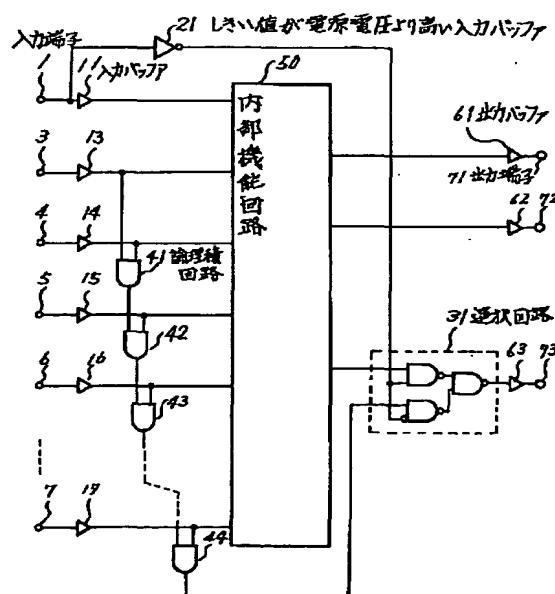
(74)代理人 井理十 内原 晋

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【構成】入力バッファ 1 1 と同じ入力端子 1 を入力とし、かつしきい値電圧が電源電圧より高いバッファ 2 1 を設ける。被測定入力バッファ 1 3 ～ 1 7 の出力を演算する論理積回路 4 1 ～ 4 4 を設ける。前記論理積回路 4 1 ～ 4 4 の出力と内部機能回路 5 0 の出力とのどちらかを選択する選択回路 3 1 を設ける。前記バッファ 2 1 の出力で前記選択回路 3 1 を制御する。

【効果】被測定入力バッファ 13～17が多くなっても、入力バッファ 21 の制御信号は一つで済む。



【特許請求の範囲】

【請求項1】 入力バッファと同じ入力端子から入力されかつしきい値電圧が電源電圧より高いバッファと、前記バッファの出力を選択回路の制御信号とする制御部と、被測定入力バッファの全ての出力を演算する演算部とを備え、前記選択回路は前記演算部の出力と内部機能回路の出力とのどちらかを選択する回路であることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関し、特に入力バッファおよび出力バッファの特性測定容易化回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路は、図4に示すように、被測定入力端子1, 2, 3, 被測定入力バッファ11, 12, 13, 希望する機能を実現する内部機能回路50、内部機能回路50と被測定入力バッファ11, 12, 13のそれぞれの出力を選択する選択回路31、選択回路31を制御する信号用の入力端子4, 5、入力バッファ14, 15、選択回路31の出力バッファ63、出力端子73を有している。

【0003】 ここで、選択回路31は、4個のANDゲートと1個のNORゲートとからなる。

【0004】 この従来の回路において、被測定入力バッファ11, 12, 13の全ての出力と、内部機能50の出力が選択回路31に入力され、制御信号によりそれらの中の1つが選択されるものであった。これにより、出力バッファ63、出力端子73を共有していた。

【0005】

【発明が解決しようとする課題】 このような従来の半導体集積回路では、被測定入力バッファ11, 12, 13が増加するに従い、内部機能出力信号と測定用演算出力信号とを切り換える選択回路31数も増加させる必要があり、半導体集積回路のコストアップを招くという欠点があった。

【0006】 さらに、半導体集積回路の大規模化、多端子化が進む中で、多端子回路になるほど、選択回路31を制御する制御端子を多く必要とするため、所望機能実現に必要な端子数に制限を設ける必要が生じるなどの欠点もあった。

【0007】 本発明の目的は、前記欠点を解決し、入力バッファ数が増加しても、制御端子を多くする必要がなく、コストダウンを実現できるようにした半導体集積回路を提供することにある。

【0008】

【課題を解決するための手段】 本発明の半導体集積回路の構成は、被測定入力バッファと同じ入力端子から入力されかつしきい値電圧が電源電圧より高いバッファと、前記バッファの出力を選択回路の制御信号とする制御部

と、被測定入力バッファの全ての出力を演算する演算部とを備え、前記選択回路は前記演算部の出力と内部機能回路の出力とのどちらかを選択する回路であることを特徴とする。

【0009】

【実施例】 図1は本発明の第1の実施例の半導体集積回路を示す回路図である。

【0010】 図1において、本発明の第1の実施例の半導体集積回路は、入力端子1, 3, 4, 5, 6, 7がそれぞれ入力バッファ11, 13, 14, 15, 16, 17に接続され、その出力は内部機能回路50に入力される。

【0011】 また、本実施例で被測定入力バッファとしている入力バッファ13, 14, 15, 16, 17の出力を論理積回路41, 42, 43, 44に入力し、その出力と内部機能回路50の出力は選択回路31により選択され、被測定出力バッファ63を介して、出力端子73より出力する。

【0012】 また、選択回路31の制御信号の入力は、20測定対象でない入力端子1を用い、しきい値電圧が電源電圧より高いインバータ21を接続し、その出力を用いている。

【0013】 これにより、入力端子1に電源電圧以上の電圧が入力された場合のみ、論理積の出力が選択される回路となっている。

【0014】 ここで、選択回路31は、3個のNANDゲートからなる。

【0015】 本実施例において、入力端子1に通常の電源電圧以下の電圧が入力される場合は、選択回路31において、内部機能回路50の出力が選択され、半導体集積回路は希望する機能を実現する。

【0016】 また、入出力バッファの測定を行う場合、まず入力端子1に電源電圧以上の電圧を入力し、インバータ21の出力をロウレベルとし、選択回路31において論理積回路44の出力を選択する状態とする。

【0017】 次に、測定する入力バッファ以外の全ての入力バッファにハイレベルを入力し、被測定入力バッファの入力信号が選択回路31を通って出力端子73に出力される論理状態に設定する。

【0018】 その結果、内部機能回路50の機能に関係なく、被測定入力バッファの特性を測定する事が可能となる。

【0019】 これにより、被測定入力バッファが増加した場合においても、制御信号を入力する端子数も増加せず、選択回路も大きくならない。

【0020】 以上のように本実施例は、入出力部に入力バッファ、出力バッファと、内部に希望する機能を実現する回路とを持つ集積回路において、入力バッファの出力を演算する演算部と、内部の機能回路の出力と前記演算部の出力を選択する選択部とを有し、しきい値が電源

3

電圧より高い回路により前記選択部を制御する制御部を備えることを特徴とする。

【0021】図2は、本発明の第2の実施例の回路図である。

【0022】図2において、本実施例は、図1の回路に输入端子2、输入バッファ12、インバータ22、選択回路32を付加した回路となっており、選択回路32は3個のNANDゲートからなり、その出力は出力バッファ63を制御する。その他の部分は、図1と同符号を付け、同様な部分であることを示す。

【0023】図2に示す実施例が、図1に示す実施例と異なる点は、出力バッファ63のハイインピーダンス特性も測定出来る事であ、ハイインピーダンスを制御する内部機能回路50の出力と、測定対象でない输入端子2に接続された、しきい値電圧が電源電圧より高いインバータ22の出力が、選択回路32に入力され、選択回路31と同じ制御信号により選択される回路となっている。

【0024】これにより、输入端子1に電源電圧以上の電圧を入力する事で、選択回路32はインバータ22の出力を選択する機能を持つ。この状態で、输入端子2に输入される電圧が、電源電圧より高い電圧と低い電圧とで出力バッファ63のハイインピーダンスを制御する事が可能となる。

【0025】図3は本発明の第3の実施例の回路図である。図3において、本実施例は、それぞれ3個のNANDゲートからなる選択回路34、35、出力バッファ61、62、出力端子71、72、输入バッファ17、输入端子7、インバータ23が付加されている。

【0026】図3に示す実施例が、図1に示す実施例と異なる点は、全ての入出力バッファの測定が出来る事で、输入バッファ11、12の出力を論理積回路(NANDゲート)45に入力し、その出力と内部機能回路50の出力を選択回路34、35で選択し、それぞれ出力バッファ61、62を介して出力端子71、72より出力する回路となっている。

【0027】また選択回路34、35の制御信号を入力

4

端子7を用いる事で、输入端子7に電源電圧以上の電圧が入力された場合、输入バッファ11、12、出力バッファ61、62を測定出来る状態となり、输入端子1に電源電圧以上の電圧が入力された場合、输入バッファ13、14、15、16、17、出力バッファ63、64を測定出来る状態となる。

【0028】

【発明の効果】以上説明したように、本発明は、被測定入力バッファの全ての出力を演算する事で、選択回路に

10 入力する信号数が減り、選択回路も大きくならないので、被測定入力バッファの増加にも容易に対応する事が可能であり、また選択回路の制御入力端子を特に測定対象でない入力端子を用い、電源電圧より高いしきい値を持つ回路を用いる事で、制御信号専用の入力端子が不要になる上に、選択回路の制御信号用のしきい値電圧の高い回路を複数個用いる事で全ての入出力バッファの測定が可能である。

【0029】例えば64端子の入力端子を持つ半導体集積回路において従来の回路では、制御信号専用の端子が

20 6端子必要であったが、そのような回路は必要なくなるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体集積回路を示す回路図である。

【図2】本発明の第2の実施例を示す回路図である。

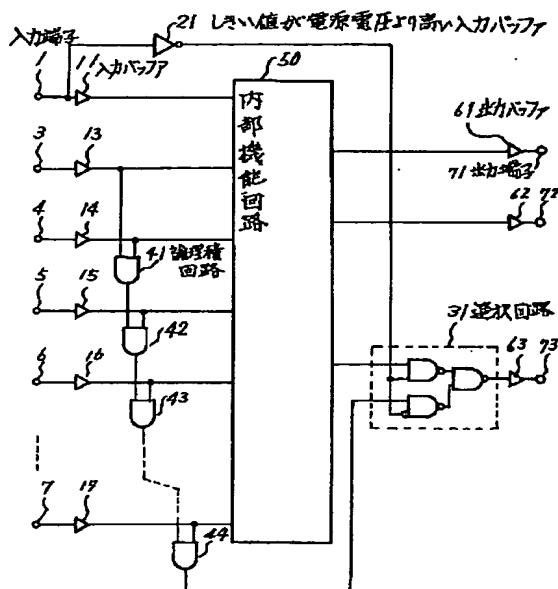
【図3】本発明の第3の実施例を示す回路図である。

【図4】従来の半導体集積回路を示す回路図である。

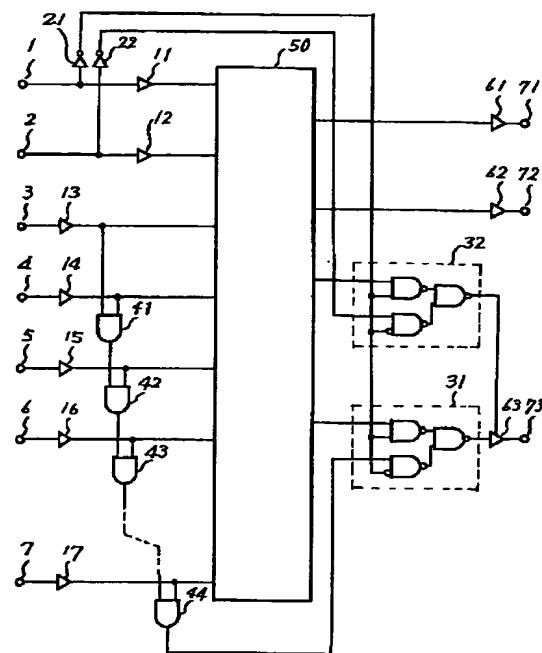
【符号の説明】

1, 2, 3, 4, 5, 6, 7 入力端子
 30 11, 12, 13, 14, 15, 16, 17 入力バッファ
 21, 22 しきい値が電源電圧より高いインバータ
 31, 32, 33, 34 選択回路
 41, 42, 43, 44, 45 論理積回路
 50 内部機能回路
 61, 62, 63, 64 出力バッファ
 71, 72, 73, 74 出力端子

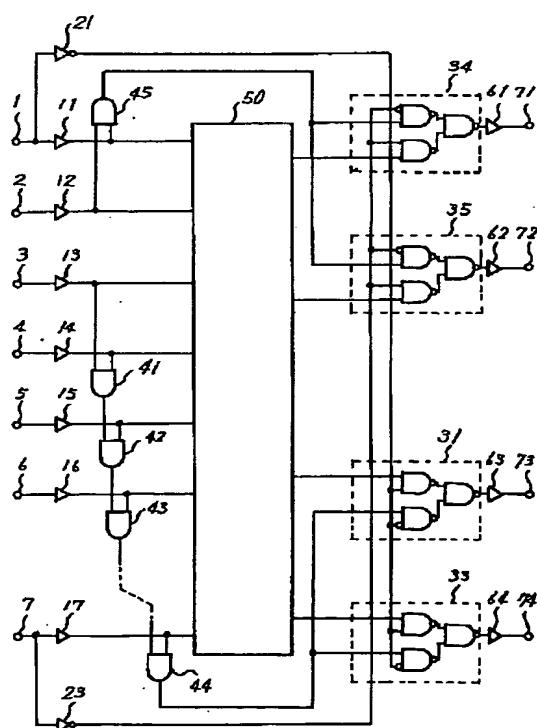
【図1】



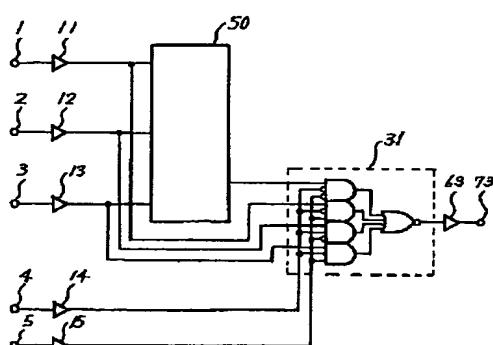
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 5	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/04	T	8427-4M		
		7638-4M	H 01 L 21/82	S